

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-265937

(43)Date of publication of application : 22.09.1994

(51)Int.Cl.

G02F 1/136

H01L 29/784

(21)Application number : 05-055260

(71)Applicant : HITACHI LTD

HITACHI DEVICE ENG CO
LTD

(22)Date of filing :

16.03.1993

(72)Inventor : KOZAI KIYAO

MATSUDA MASAOKI

ORITSUKI RYOJI

HIROSHIMA MINORU

YANAI MASAHIRO

HORII JUICHI

HASHIMOTO YUICHI

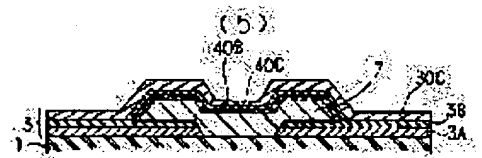
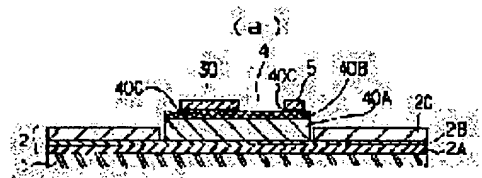
ISODA TAKASHI

(54) PRODUCTION OF LIQUID CRYSTAL DISPLAY SUBSTRATE

(57)Abstract:

PURPOSE: To decrease the man-hours for production by simultaneously forming a first wiring layer and a second wiring layer.

CONSTITUTION: An Al layer and a Cr layer are successively formed over the entire area of the main surface of a glass substrate 1. These Cr layer and Al layer are then successively etched. Drain wirings 3 are eventually formed together with gate wirings 2 in the same process and are separated from each other in this stage in the intersected parts. An insulating layer 40A consisting of SiN and an a-Si layer 40B, then a Cr layer 40C are then successively formed over the entire area of the main surface of the glass substrate 1 and the Cr layer 40C, a-Si layer 40B and insulating layer 40A are successively etched. An ITO film is formed over the entire area of the main surface of the glass substrate 1 and is etched. The drain wirings 3 which are held separated thus in the intersected parts with the gate wirings 2 are eventually electrically connected from each other by the ITO formed in the regions where the drain wirings 3 are formed in this stage.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-265937

(43) 公開日 平成6年(1994)9月22日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0	9119-2K		
H 0 1 L 29/784		9056-4M	H 0 1 L 29/ 78	3 1 1 A

審査請求 未請求 請求項の数 1 O L (全 6 頁)

(21) 出願番号 特願平5-55260

(22) 出願日 平成5年(1993)3月16日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233088

日立デバイスエンジニアリング株式会社

千葉県茂原市早野3681番地

(72) 発明者 香西 甲矢夫

千葉県茂原市早野3300番地 株式会社日立

製作所電子デバイス事業部内

(72) 発明者 松田 正昭

千葉県茂原市早野3300番地 株式会社日立

製作所電子デバイス事業部内

(74) 代理人 弁理士 秋田 収喜

最終頁に続く

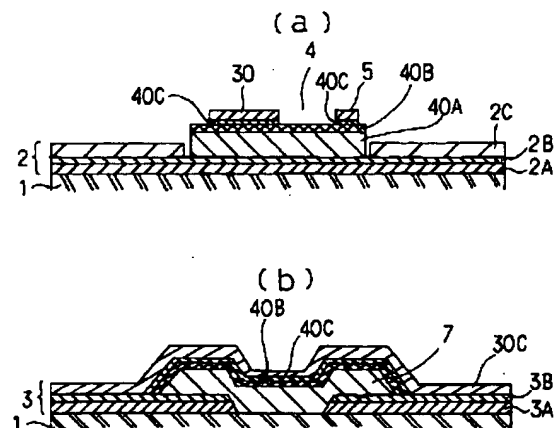
(54) 【発明の名称】 液晶表示基板の製造方法

(57) 【要約】

【目的】 製造工数のさらなる低減を図る。

【構成】 透明基板上に、一方向に延在する第1配線層と、この第1配線層と交差し層間絶縁膜を介して延在する第2配線層と、この第2配線層と前記第1配線層との交差部に近接されて形成される画素電極とを備える液晶表示基板において、前記第1配線層と第2配線層とをその交差部においていずれか一方の配線層を離間させた状態で同時に形成する工程と、前記層間絶縁膜を形成する工程と、前記画素電極を形成する際に同時に前記層間絶縁膜上にて互いに離間された前記配線層を接続する接続層を形成する工程とを含む。

図1



【特許請求の範囲】

【請求項1】 透明基板上に、一方向に延在する第1配線層と、この第1配線層と交差し層間絶縁膜を介して延在する第2配線層と、この第2配線層と前記第1配線層との交差部に近接されて形成される画素電極とを備える液晶表示基板において、

前記第1配線層と第2配線層とをその交差部においていずれか一方の配線層を離間させた状態で同時に形成する工程と、前記層間絶縁膜を形成する工程と、前記画素電極を形成する際に同時に前記層間絶縁膜上にて互いに離間された前記配線層を接続する接続層を形成する工程とを含むことを特徴とする液晶表示基板の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は液晶表示基板、たとえば薄膜トランジスタ（TFT）を備えるアクティブマトリックス型の液晶表示基板の製造方法に関する。

【0002】

【従来の技術】 たとえばアクティブマトリックス型の液晶表示基板は、液晶を介して対向する各ガラス基板の一方のガラス基板の液晶側の面に、たとえばx方向に延在するゲート配線とこのゲート配線と層間絶縁膜を介して交差して延在するドレイン配線との該交差部に近接させて画素電極が備えられ、この画素電極が一画素を構成するようになっている。

【0003】 さらに、該画素電極の近傍には前記ゲート配線に印加させる信号電圧でONする薄膜トランジスタがあり、この薄膜トランジスタのONによってドレイン配線に印加させている電圧が画素電極に印加されるようになる。

【0004】

【発明が解決しようとする課題】 しかしながら、このように構成された液晶表示基板は、そのゲート配線、ドレイン配線を形成するのに、たとえば、まずゲート配線を形成し、その後層間絶縁膜を形成した後、ドレイン配線を形成するという工程を経、それら各工程毎に周知の選択エッチング方法を用いていたため、製造工数が多くなっていたという点が問題とされるに到った。

【0005】 それ故、本発明はこのような事情に基づいてなされたものであり、その目的とするところのものは、製造工数のさらなる低減を図った液晶表示基板の製造方法を提供することにある。

【0006】

【課題を解決するための手段】 このような目的を達成するために、本発明は、基本的には、透明基板上に、一方向に延在する第1配線層（たとえばゲート配線）と、この第1配線層と交差し層間絶縁膜を介して延在する第2配線層（たとえばドレイン配線）と、この第2配線層と前記第1配線層との交差部に近接されて形成される画素電極とを備える液晶表示基板において、前記第1配線層

と第2配線層とをその交差部においていずれか一方の配線層を離間させた状態で同時に形成する工程と、前記層間絶縁膜を形成する工程と、前記画素電極を形成する際に同時に前記層間絶縁膜上にて互いに離間された前記配線層を接続する接続層を形成する工程とを含むことを特徴とするものである。

【0007】

【作用】 このように構成した液晶表示基板の製造方法によれば、従来別個に形成していた第1配線層と第2配線層とを同時に形成していることから、製造工数の低減を図ることができるようになる。

【0008】 この場合、第1配線層と第2配線層との間で電氣的短絡を生じさせないために、それらの交差部においていずれか一方の配線層を離間させた状態で形成することになるが、層間絶縁膜の形成後において、これら分離されている配線層どうしを該層間絶縁膜上に接続層を設けることによって接続することになるが、この接続層は画素電極の形成と同時に形成していることから製造工数を増加させることはない。

【0009】 したがって、製造工数のさらなる低減を図ることができるようになる。

【0010】

【実施例】 図1ないし図2は、本発明による液晶表示基板の製造方法の一実施例に適用される液晶表示基板の要部構成図である。ここで、図2は平面図、図1(a)は図2のIa-Ia線における断面図、図1(b)は図2のIb-Ib線における断面図である。

【0011】 まず、図2において、ガラス基板1がある。このガラス基板1は、図示しない他のガラス基板と液晶を介して対向配置されるもう一方のガラス基板となっている。

【0012】 該ガラス基板1の液晶側の面である主表面に、図中x方向に延在するゲート配線2が形成されている。このゲート配線2は、図示していないが複数個あり、それらは図中y方向に等間隔に並設され互いに平行になっている。

【0013】 また、図中y方向に延在するドレイン配線3が形成されている。このドレイン配線3は、図示していないが複数個あり、それらは図中x方向に等間隔に並設され互いに平行になっている。

【0014】 ここで、ドレイン配線3は、ゲート配線2との交差部において該ゲート配線2に層間絶縁膜を介して架橋された状態で形成されている。この層間絶縁膜は後述する薄膜スイッチング素子（TFT）4のゲート絶縁膜と同工程で形成され、したがって該層間絶縁膜と同一材料で構成されている。

【0015】 前記TFT4は、ゲート配線2の一部領域に形成され、そのドレイン電極は前記ドレイン配線3のゲート配線2との交差部となっており、ソース電極5は該ドレイン電極から若干離間された部位に形成されてい

る。

【0016】ここで、該TFT4の構成を、1a-1a線における断面図である図1(a)に基づいて説明する。

【0017】図1(a)において、ガラス基板1面にゲート配線2が形成され、このゲート配線2は、たとえばアルミニウム(A1)層2A、クロム(Cr)層2B、ITO(酸化インジウム)膜2Cの順次積層体から構成されている。

【0018】そして、この積層体からなるゲート配線2は、TFT4の形成領域において、ITO膜2Cが除去されてお

り、この除去によって露呈されたクロム層2Bの上面に絶縁層40A、アモルファスシリコン(a-Si)層40Bが形成されている。

【0019】さらに、このa-Si層40Bの面上にはコンタクト層40Cを介してドレイン電極30(上述したようにドレイン配線3の一部)およびソース電極5が互いに離間されて形成されている。

【0020】このような構成からなるTFT4は、たとえばゲート配線2に電圧が印加されると、絶縁膜40Aを介してa-Si層40Bにチャネルが形成され、このチャネルを介してドレイン配線3に印加されている電圧がソース電極5に印加されることになる。

【0021】そして、このソース電極5は、ゲート配線2とドレイン配線3とに囲まれるガラス基板1面上の領域に形成されるITO膜からなる画素電極6と一体になって形成されている。

【0022】ここで、本実施例では、ゲート配線2とドレイン配線3との交差部は、1b-1b線における断面図である図1(b)に示すように構成されている。

【0023】同図において、ドレイン配線3は、ガラス基板1面において、まず、アルミニウム層3A、クロム層3B、ITO層3Cの順次積層体から構成されている。そして、この積層体からなるドレイン配線3のうち、アルミニウム層3A、クロム層3Bは、該交差部において分離された状態で形成され、この分離された領域をも含んで積層体の各端部に層間絶縁膜7が被覆されている。この層間絶縁膜7は前記TFT4の絶縁膜40Aの延在部に相当し、このため、該層間絶縁膜7の表面には、a-Si層40B、コンタクト層40Cをも順次形成されている。

【0024】そして、該コンタクト層40Cの表面にはITO膜30Cが形成され、このITO膜30Cはそのまま前記クロム層3Bの表面にも一体に形成され、このITO膜30をもゲート配線3を構成する積層体の一部になっている。

【0025】なお、上述した構成で、Cr層2B、3Bに代えて、Ti、Ta、Mo、W、Nb、TiN等の中から選択することもできる。また、A1層2A、3Aに代えて、Ni、Cu、Auの等の中から選択することもできる。

【0026】次に、図1に示す液晶表示基板の製造方法の一実施例を工程順に説明する。

【0027】工程1. (図3)

ガラス基板1の主表面の全域に、A1層、次いでCr層を順次形成する。そして、たとえば周知のホトリソグラフィ技術を用いて、図3に示すパターンで、Cr層、A1層を順次エッチングする。

【0028】これにより、A1層とCr層の積層体は、ゲート配線2、このゲート配線2と一体に形成される浮遊容量10の一方の電極10A、およびドレイン配線3の形成領域に残存することになる。

【0029】ここで、ドレイン配線3はゲート配線3とともに同一の工程で形成されることになり、かつそれらの交差部において、この段階では互いに分離されている状態となっている。すなわち、ドレイン配線3は、ゲート配線2と同一平面に形成され、該ゲート配線2との交差部においてゲート配線2を間において互いに分離されている。

【0030】工程2. (図4)

工程1に示す加工がなされたガラス基板1の主表面の全域に、SiNからなる絶縁層40A、a-Si層40B、次いでCr層40Cを順次形成する。そして、たとえば周知のホトリソグラフィ技術を用いて、図4に示すパターンで、Cr層40C、a-Si層40B、絶縁層40Aを順次エッチングする。

【0031】これにより、絶縁層40A、a-Si層40BおよびCr層40Cの積層体は、ドレイン配線3とゲート配線2の交差部、および前記浮遊容量10の一方の電極10A面上にそれぞれ残存することになる。

【0032】ここで、ドレイン配線3とゲート配線2の交差部に設けられる前記積層体は、ゲート配線形成領域内におけるTFT4の形成領域にも延在されるようになっている。

【0033】すなわち、ドレイン配線3とゲート配線2の交差部における積層体は、次に示す工程で最終的にドレイン配線3を形成する積層体のうちの最上層の層間絶縁膜としての機能を有し、TFT4の形成領域に延在する積層体は、その下層のゲート配線2(アルミニウム層2A)とともに該TFT4の構成部材としての機能を有する。

【0034】工程3. (図5)

工程2に示す加工がなされたガラス基板1の主表面の全域に、ITO膜を形成する。そして、たとえば周知のホトリソグラフィ技術を用いて、図5に示すパターンで、該ITO膜をエッチングする。

【0035】これにより、ITO膜は、画素電極6の形成領域、ゲート配線2の形成領域のうちドレイン配線3との交差部およびTFT形成領域を除く領域、およびドレイン配線3の形成領域に残存することになる。

【0036】ここで、画素電極6は、前記浮遊容量の絶

緑膜（誘電体膜）をも被つてもう一方の電極を兼ねるとともに、一部延在した個所が設けられてTFT4のソース電極5を形成している。

【0037】なお、この工程では、ドレイン配線3の形成領域に形成されるITOによって、いままでゲート配線2との交差部において分離されていたドレイン配線3が互いに電氣的に接続されることになる。この場合、上述したように、ゲート配線2との間では前記絶縁膜が層間絶縁膜7として機能するようになる。

【0038】なお、この工程においてITO膜をエッチングする際に、そのエッチング材としてたとえばHBrガス等を用いるが、このHBrガスはAl層、a-Si層等もエッチングしてしまう性質を有するが、これらの各層はその上層にCr層が形成されていることから、このCr層がHBrガスに対するエッチングストップとして作用することになる。

【0039】工程4. 残存したITO膜をマスクとして、このITO膜から露呈されているCr層、すなわち、ゲート配線2とドレイン配線3との交差部およびTFT4の形成領域に形成した積層体の最上層にあるCr層をエッチングする。これにより残存するCr層は、ドレイン配線3を構成する積層体の最上層であるITO膜30C下、およびソース電極5を構成するITO膜40C下のみとなり、コンタクト層としての機能を有することになる。

【0040】なお、この場合のエッチング材は、Cr層の下層に位置づけられているa-Si層とともにエッチングしてしまわないもの、たとえば $Cl_2 + O_2$ 等が使用される。

【0041】その後は、必要に応じて、保護膜等を形成する。

【0042】このような実施例に示す液晶表示基板の製造方法によれば、従来別個に形成していたゲート配線2とドレイン配線3とを同時に形成していることから、製造工数の低減を図ることができるようになる。

【0043】この場合、ゲート配線2とドレイン配線3との間で電氣的短絡を生じさせないために、それらの交

差部においてドレイン配線3を離間させた状態で形成することになる。そして、層間絶縁膜7の形成後において、これら分離されている配線層どうしを該層間絶縁膜7上にITO膜30Cを設けることによって接続することになるが、このITO膜30Cは画素電極6の形成と同時に形成していることから製造工数を増加させることはない。

【0044】したがって、製造工数のさらなる低減を図ることができるようになる。

【0045】上述した実施例では、ゲート配線2とドレイン配線3とを同時に形成する際に、ドレイン配線3を離間（分離）させた状態で形成したものであるが、これに限定されず、ゲート配線2を離間させた状態で形成するようにしてもよいことはいうまでもない。

【0046】また、上述した実施例では、a-Siを用いたTFT4を使用したものであるが、単結晶からなるSi（p-Si）を用いたTFTであってもよいことはいうまでもない。

【0047】

【発明の効果】以上説明したことから明かなように、本発明による液晶表示基板の製造方法によれば、製造工数のさらなる低減を図ることができるようになる。

【図面の簡単な説明】

【図1】 本発明による液晶表示基板の製造方法の対象となる素子構造を示す説明図で、(a)は図2のIa-Iaの断面図、(b)は図2のIb-Ibの断面図である。

【図2】 本発明による液晶表示基板の製造方法の対象となる素子構造を示す平面構成図である。

【図3】 本発明による液晶表示基板の製造方法の第一の工程を示す説明図である。

【図4】 本発明による液晶表示基板の製造方法の第二の工程を示す説明図である。

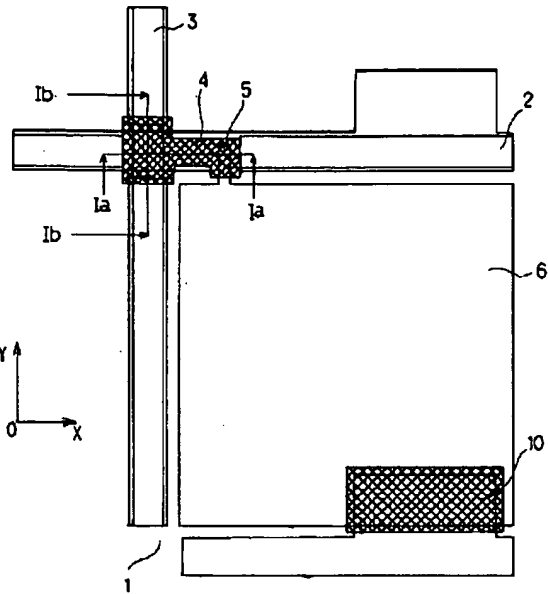
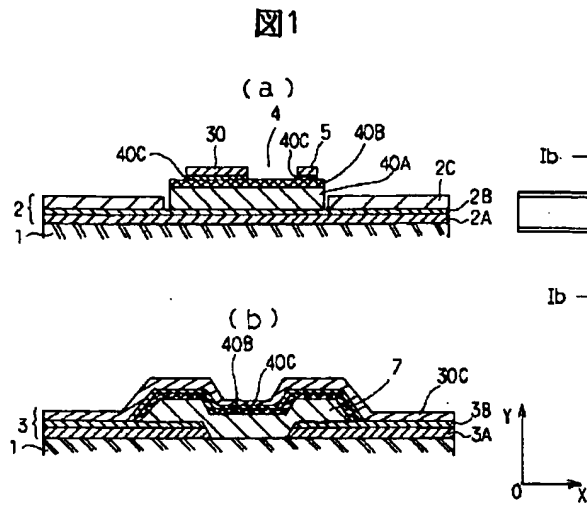
【図5】 本発明による液晶表示基板の製造方法の第三の工程を示す説明図である。

【符号の説明】

1…ガラス基板、2…ゲート配線、3…ドレイン配線、4…TFT、7…層間絶縁膜。

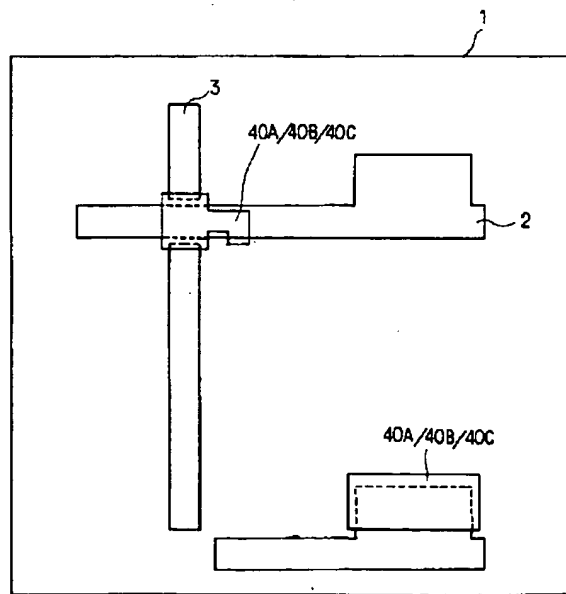
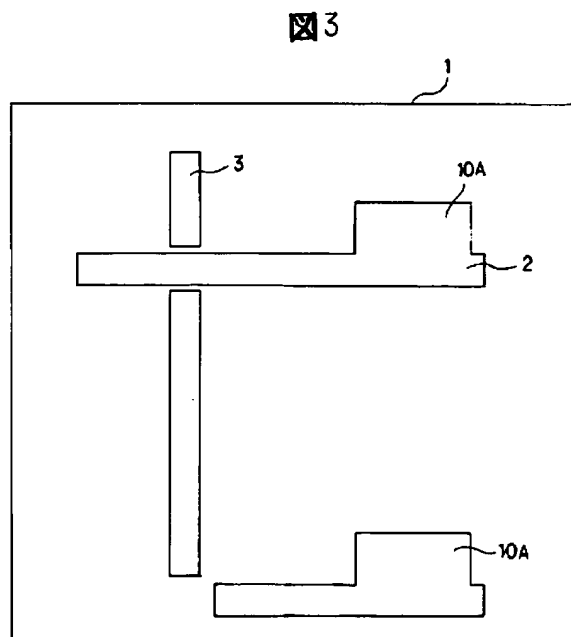
【図1】

【図2】



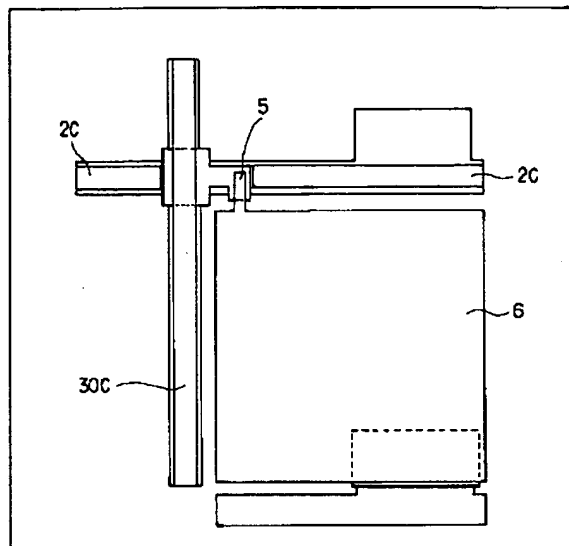
【図3】

【図4】



【図5】

図5



フロントページの続き

(72)発明者 折付 良二

千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内

(72)発明者 廣島 實

千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内

(72)発明者 箭内 雅弘

千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内

(72)発明者 堀井 寿一

千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内

(72)発明者 橋本 雄一

千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内

(72)発明者 磯田 高志

千葉県茂原市早野3681番地 日立デバイス
エンジニアリング株式会社内